

E6216

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-121742

(43)Date of publication of application : 30.04.1999

(51)Int.Cl.

H01L 29/78

(21)Application number : 09-282047

(22)Date of filing : 15.10.1997

(71)Applicant : TOSHIBA CORP

(72)Inventor : KAWAGUCHI YUSUKE

NAKAGAWA AKIO

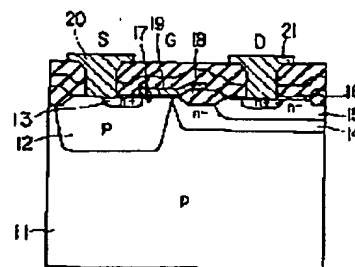
KINOSHITA KOZO

(54) HIGH-BREAKDOWN VOLTAGE SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain low ON resistance and to realize high breakdown voltage in both ON and OFF states of a gate at the same time.

SOLUTION: This device has the following structure. When a gate is off, an n-type offset layer 14 acts as a reserve and realizes a high breakdown voltage. When the gate is off, even if the electric charge of the n-type first offset layer 14 is offset by the drain current (I_D) flowing through an element by the low ON resistance, an n-type second offset layer 15 having a higher dosage n_2 than the dosage n_1 of the n-type first offset layer 1 acts as the reserve. In this case, letting the amount of the electric charge of electrons be represented by q [C] and the drift speed of carrier be μ_{drift} [cm/sec], the relationship of $n_2 \geq 1D/(q \cdot \mu_{\text{drift}})$ [cm⁻²] is satisfied.



LEGAL STATUS

[Date of request for examination]

03.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-121742

(43) 公開日 平成11年(1999) 4月30日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 29/78

H 0 1 L 29/78

3 0 1 S

3 0 1 W

審査請求 未請求 請求項の数3 O L (全 7 頁)

(21) 出願番号 特願平9-282047

(22) 出願日 平成9年(1997)10月15日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 川口 雄介

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(72) 発明者 中川 明夫

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(72) 発明者 木下 浩三

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

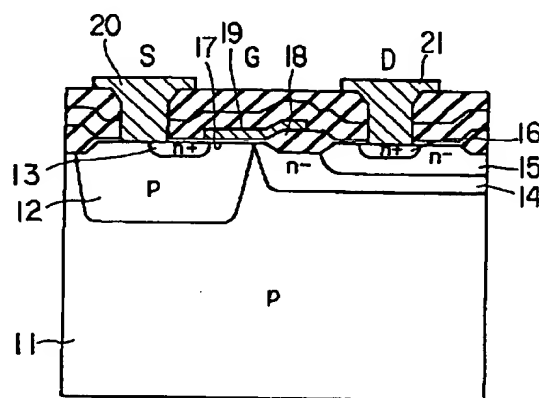
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 高耐圧半導体装置

(57) 【要約】

【課題】 本発明は、低いオン抵抗を得られると共に、ゲートのオン状態／オフ状態の両方で高耐圧の実現を図る。

【解決手段】 ゲートオフの時、n型第1オフセット層14がリサーフとして作用して高耐圧を実現し、また、ゲートオンの時、低いオン抵抗によって素子を通るドレイン電流 I_D により、n型第1オフセット層の電荷が打消されるものの、n型第1オフセット層のドーザ量 n_1 よりも高ドーザ量 n_2 のn型第2オフセット層15がリサーフとして作用する構造であって、電子の電荷量を q [C] とし、キャリアのドリフト速度を v_{drift} [cm/sec] としたとき、 $n_2 \geq I_D / (q \cdot v_{drift})$ [cm⁻²] の関係を満足する高耐圧半導体装置。



- | | |
|----------------|--------------|
| 11: p型半導体基板 | 17: ゲート絶縁膜 |
| 12: p型ボディ層 | 18: フィールド酸化膜 |
| 13: n型ソース層 | 19: ゲート電極 |
| 14: n型第1オフセット層 | 20: ソース電極 |
| 15: n型第2オフセット層 | 21: ドレイン電極 |
| 16: n型ドレイン層 | |

【特許請求の範囲】

【請求項 1】 第 1 導電型半導体基板と、

前記第 1 導電型半導体基板の表面に選択的に形成された第 1 導電型ボディ層と、

前記第 1 導電型ボディ層の表面に選択的に形成された第 2 導電型ソース層と、

前記第 1 導電型半導体基板の表面の前記第 1 導電型ボディ層とは異なる領域に選択的に形成された第 2 導電型第 1 オフセット層と、

前記第 2 導電型第 1 オフセット層の表面に選択的に形成された第 2 導電型第 2 オフセット層と、

前記第 2 導電型第 2 オフセット層の表面に選択的に形成された第 2 導電型ドレイン層と、

前記第 2 導電型ソース層と前記第 2 導電型第 1 オフセット層とに挟まれた領域上にゲート絶縁膜を介して形成されたゲート電極と、

$$I_D = (\mu \cdot \epsilon) \cdot (V_G / 2 - V_T) / (4 \cdot L \cdot d) \text{ [A/cm]} \cdots (1)$$

$$n_2 \geq I_D / (q \cdot v_{\text{drift}}) \text{ [cm}^{-2}] \cdots (2)$$

【請求項 2】 第 1 導電型半導体基板と、

前記第 1 導電型半導体基板の表面に選択的に形成された第 1 導電型ボディ層と、

前記第 1 導電型ボディ層の表面に選択的に形成された第 2 導電型ソース層と、

前記第 1 導電型半導体基板の表面の前記第 1 導電型ボディ層とは異なる領域に選択的に形成された第 2 導電型第 1 オフセット層と、

前記第 2 導電型第 1 オフセット層の表面に選択的に形成された第 2 導電型第 2 オフセット層と、

前記第 2 導電型第 2 オフセット層の表面に選択的に形成された第 2 導電型ドレイン層と、

前記第 2 導電型ソース層と前記第 2 導電型第 1 オフセット層とに挟まれた領域上にゲート絶縁膜を介して形成されたゲート電極と、

前記第 1 導電型ボディ層表面と前記第 2 導電型ソース層表面の両者に接して形成されたソース電極と、

前記第 2 導電型ドレイン層表面に形成されたドレイン電極とを備えた高耐圧半導体装置であって、

前記第 2 導電型第 1 オフセット層のドーズ量を n_1 [cm⁻²] としたとき、前記第 2 導電型第 2 オフセット層のドーズ量 n_2 は下記式を満足することを特徴とする高耐圧半導体装置。

$$2n_1 \leq n_2 \leq 4n_1$$

【請求項 3】 第 1 導電型半導体基板と、

前記第 1 導電型半導体基板の表面に選択的に形成された第 1 導電型ボディ層と、

前記第 1 導電型ボディ層の表面に選択的に形成された第 2 導電型ソース層と、

前記第 1 導電型半導体基板の表面の前記第 1 導電型ボディ層とは異なる領域に選択的に形成された第 2 導電型第 1 オフセット層と、

前記第 1 導電型ボディ層表面と前記第 2 導電型ソース層表面の両者に接して形成されたソース電極と、

前記第 2 導電型ドレイン層表面に形成されたドレイン電極とを備えた高耐圧半導体装置であって、

素子のチャンネルでのキャリアの移動度を μ [cm²/V · s]、前記ゲート絶縁膜の誘電率を ϵ [F/cm]、

前記ゲート絶縁膜の膜厚を d [cm]、チャンネル長を L [cm]、スレショルド電圧を V_T [V]、定格ゲート電圧を V_G [V] としたとき、下記 (1) 式で規定されるチャンネル幅 1 cm 当りのドレイン電流 I_D に対し、

電子の電荷量を q [C] とし、キャリアのドリフト速度を v_{drift} [cm/sec] としたとき、

前記第 2 導電型第 2 オフセット層のドーズ量 n_2 は下記 (2) 式を満足することを特徴とする高耐圧半導体装置。

前記第 2 導電型第 1 オフセット層の表面に選択的に形成された第 2 導電型第 2 オフセット層と、

前記第 2 導電型第 2 オフセット層の表面に選択的に形成された第 2 導電型ドレイン層と、

前記第 2 導電型ソース層と前記第 2 導電型第 1 オフセット層とに挟まれた領域上にゲート絶縁膜を介して形成されたゲート電極と、

前記第 1 導電型ボディ層表面と前記第 2 導電型ソース層表面の両者に接して形成されたソース電極と、

前記第 2 導電型ドレイン層表面に形成されたドレイン電極とを備えた高耐圧半導体装置であって、

前記第 2 導電型第 1 オフセット層のドーズ量は $1.5 \sim 4 \times 10^{12}$ [cm⁻²] の範囲内にあり、前記第 2 導電型第 2 オフセット層のドーズ量は $3 \times 10^{12} \sim 1.6 \times 10^{13}$ [cm⁻²] の範囲内にすることを特徴とする高耐圧半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、MOSFET からなる高耐圧半導体装置に関する。

【0002】

【従来技術】 一般に、高耐圧駆動回路などに用いられる高耐圧半導体素子と、低耐圧駆動回路などに用いられる低耐圧半導体素子とが同一の基板に形成され、パワー IC が製造される。この種のパワー IC は、広く知られており、多くの用途が考えられている。通常、このようなパワー IC は出力段に高耐圧半導体装置としての高耐圧 MOSFET が用いられており、この高耐圧 MOSFET は低いオン抵抗が要求されている。

【0003】

図 4 は係る高耐圧 MOSFET の素子構造を示す断面図である。この高耐圧 MOSFET は、高抵抗の p 型半導体基板 1 の表面に p 型ボディ層 2 が選択的に

に形成されている。p型ボディ層2の表面には低抵抗のn型ソース層3が選択的に形成されている。

【0004】p型半導体基板1のp型ボディ層2とは異なる表面には、高抵抗のn型オフセット層4が形成されている。n型オフセット層4の表面には、低抵抗のn型ドレイン層5が選択的に形成されている。また、n型ソース層3とn型オフセット層4によって挟まれるp型ボディ層2表面とこの表面に隣接するn型オフセット層4表面の一部には、ゲート絶縁膜6およびフィールド酸化膜7を介してゲート電極8が形成されている。

【0005】また、n型ソース層3及びp型ボディ層2には、これら両層にコンタクトするソース電極9が形成されている。n型ドレイン層5上には、ドレイン電極10が形成されている。

【0006】このような高耐圧MOSFETは、n型ドレイン層5がオフセット層4内に形成されているので、オフセット層4がいわゆるリサーフ層として作用する。このリサーフ層は、素子の高耐圧を保ちながらオン抵抗を低い値に抑制可能とする。なお、この高耐圧MOSFETのゲート電圧 $V_G = 0V$ （オフ状態）から5Vまでのドレイン電圧-ドレイン電流の特性曲線は図5に示す通りである。

【0007】

【発明が解決しようとする課題】しかしながら以上のような高耐圧MOSFETでは、図5に示すように、ゲートオフ時及びゲート電圧 V_G が1V程度で低いときには高い耐圧を保つものの、1Vを越えた通常のゲート電圧 V_G となるゲートオン時には低い耐圧となる問題がある。

【0008】すなわち、高耐圧MOSFETは、ゲートオン時に素子を流れるドレイン電流により、n型オフセット層4表面において、等電位線がドレイン側で密になってドレイン側に電子が増えた分、ソース側で正の空間電荷が生じ、この正の空間電荷がn型オフセット層4のドーズされた電荷を打消してしまう。このため、ゲートオン時に、n型オフセット層4がリサーフ層として作用しなくなり、耐圧を低下させてしまう問題がある。この問題は、特にゲート電圧 V_G が定格の1/2以上の3V以上で顕著になる。

【0009】また、この高耐圧MOSFETは、ゲートオン時に低い耐圧となるため、ドレインが電源に直結してゲートをバイアスする構成のアナログ回路には使用不可能であるという問題がある。

【0010】なお、ゲート幅1cm当りの素子のドレイン電流を I_D 、電子の電荷量を $q (= 1.6 \times 10^{-19} C$; 単位クーロン)、電子のドリフト速度を v_{drift} ($= 8 \times 10^6 \text{ cm/sec}$) とすると、このドレイン電流 I_D で打消されるn型オフセット層4の負電荷は I

$$I_D = (\mu \cdot \epsilon) \cdot (V_G / 2 - V_T) / (4 \cdot L \cdot d) [A/cm] \cdots (1)$$

$$n_2 \geq I_D / (q \cdot v_{drift}) [cm^{-2}] \cdots (2)$$

$d / (q \cdot v_{drift}) \text{ cm}^{-2}$ である。また、ゲート幅は、図4の紙面奥行き方向に沿ったゲート長であり、本明細書中、チャネル幅ともいう。

【0011】本発明は上記実情を考慮してなされたもので、低いオン抵抗を得られると共に、ゲートのオン状態/オフ状態の両方で高耐圧を実現し得る高耐圧半導体装置を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明の骨子は、オフセット層をソース側からドレイン側にかけて2層構成とし、ソース側の第1オフセット層よりも高ドーズ量の第2オフセット層をドレイン層側に設けた構造を用いる。

【0013】すなわち本発明の骨子は、ゲートオン時に低いオン抵抗によって素子を流れるドレイン電流により、ソース側の第1オフセット層の電荷が打ち消されたとしても、ドレイン側の第2オフセット層には電荷を残してリサーフ層として作用させ、素子全体としては、低いオン抵抗を前提としつつ、ゲートのオン状態/オフ状態の両方で高耐圧を実現させることにある。

【0014】さて以上のような本発明の骨子に基づいて具体的には以下のような手段が講じられる。本発明は、第1導電型半導体基板と、前記第1導電型半導体基板の表面に選択的に形成された第1導電型ボディ層と、前記第1導電型ボディ層の表面に選択的に形成された第2導電型ソース層と、前記第1導電型半導体基板の表面の前記第1導電型ボディ層とは異なる領域に選択的に形成された第2導電型第1オフセット層と、前記第2導電型第1オフセット層の表面に選択的に形成された第2導電型第2オフセット層と、前記第2導電型第2オフセット層の表面に選択的に形成された第2導電型ドレイン層と、前記第2導電型ソース層と前記第2導電型第1オフセット層とに挟まれた領域上にゲート絶縁膜を介して形成されたゲート電極と、前記第1導電型ボディ層表面と前記第2導電型ソース層表面の両者に接して形成されたソース電極と、前記第2導電型ドレイン層表面に形成されたドレイン電極とを備えた構造の高耐圧半導体装置に関する。

【0015】係る構造において、請求項1に対応する発明は、素子のチャネルでのキャリアの移動度を $\mu [cm^2/V \cdot s]$ 、前記ゲート絶縁膜の誘電率を $\epsilon [F/cm]$ 、前記ゲート絶縁膜の膜厚を $d [cm]$ 、チャネル長を $L [cm]$ 、スレショルド電圧を $V_T [V]$ 、定格ゲート電圧を $V_G [V]$ としたとき、下記(1)式で規定されるチャネル幅1cm当りのドレイン電流 I_D に対し、電子の電荷量を $q [C]$ とし、キャリアのドリフト速度を $v_{drift} [cm/sec]$ としたとき、前記第2導電型第2オフセット層のドーズ量 n_2 は下記(2)式を満足する高耐圧半導体装置である。

また、請求項2に対応する発明は、前記第2導電型第1オフセット層のドーズ量を n_1 [cm^{-2}]としたとき、前記第2導電型第2オフセット層のドーズ量 n_2 は下記式を満足する高耐圧半導体装置である。

$$2n_1 \leq n_2 \leq 4n_1$$

さらに、請求項3に対応する発明は、前記第2導電型第1オフセット層のドーズ量が $1.5 \sim 4 \times 10^{12}$ [cm^{-2}]の範囲内にあり、前記第2導電型第2オフセット層のドーズ量が $3 \times 10^{12} \sim 1.6 \times 10^{13}$ [cm^{-2}]の範囲内にある高耐圧半導体装置である。

(作用) 従って、請求項1に対応する発明は以上のような手段を講じたことにより、ゲートオフの時、従来同様に、第2導電型第1オフセット層がリサーフとして作用して高耐圧を実現し、また、ゲートオンの時、低いオン抵抗によって素子を通るドレイン電流により、第2導電型第1オフセット層の電荷が打消されるものの、第2導電型第1オフセット層のドーズ量 n_1 よりも高ドーズ量 n_2 の第2導電型第2オフセット層がリサーフとして作用するので、低いオン抵抗を得られると共に、ゲートのオン状態/オフ状態の両方で高耐圧を実現させることができる。

【0016】また、このときの条件を $n_2 \geq I_D / (q \cdot v_{\text{drift}})$ [cm^{-2}]として規定しているので、この作用を容易且つ確実に奏することができる。また、請求項2に対応する発明は、請求項1に対応する作用と同様の高耐圧を奏する作用に加え、このときの条件を $2n_1 \leq n_2 \leq 4n_1$ として規定しているので、前述した作用を容易且つ確実に奏することができる。

【0017】さらに、請求項3に対応する発明は、請求項1に対応する作用と同様の高耐圧を奏する作用に加え、第2導電型第1オフセット層のドーズ量と、第2導電型第2オフセット層のドーズ量とを具体的な数値で規定しているので、前述した作用をより一層、容易且つ確

$$I_D = (\mu \cdot \epsilon) \cdot (V_G / 2 - V_T) / (4 \cdot L \cdot d) \text{ [A/cm]} \cdots (1)$$

このとき、前述した電子の電荷量 q [C]及び電子のドリフト速度 v_{drift} [cm/sec]を用い、 n 型第2オフセット層15のドーズ量 n_2 は次の(2)式の関係を満足するように設定される。

$$n_2 \geq I_D / (q \cdot v_{\text{drift}}) \text{ [cm}^{-2}\text{]} \cdots (2)$$

本実施形態では、 $\mu = 700$ [$\text{cm}^2/\text{V} \cdot \text{s}$]、 $\epsilon = 3.5 \times 10^{-13}$ [F/cm]、 $d = 1.5 \times 10^{-6}$ [cm]、 $L = 1 \times 10^4$ [cm]、 $V_T = 1$ [V]、 $V_G = 5$ [V]に対し、ドーズ量 $n_2 = 9 \times 10^{12}$ [cm^{-2}]である。

【0023】次に、以上のような構成の高耐圧MOSFETの作用について説明する。この高耐圧MOSFETは、ゲート電圧 $V_G = 0 \text{ V}$ のゲートオフの時、従来同様に、 n 型第1オフセット層14がリサーフとして作用し、図2に示すように、高耐圧を実現する。

【0024】一方、ゲートオン(ゲート電圧 5 V)の

実に奏することができる。

【0018】

【発明の実施の形態】以下、本発明の一実施形態について図面を参照しながら説明する。図1は本発明の一実施形態に係る高耐圧MOSFETの素子構造を示す断面図である。この高耐圧MOSFETは、高抵抗の p 型半導体基板11の表面には p 型ボディ層12が選択的に形成されている。 p 型ボディ層12の表面には低抵抗の n 型ソース層13が選択的に形成されている。

【0019】 p 型半導体基板11の p 型ボディ層12と異なる表面には高抵抗の n 型第1オフセット層14が形成され、 n 型第1オフセット層14に隣接して n 型第1オフセット層14よりも低抵抗(高ドーズ量)の n 型第2オフセット層15が形成されている。

【0020】 n 型第2オフセット層15表面には、 n 型第2オフセット層15よりも低抵抗の n 型ドレイン層16が選択的に形成されている。また、 n 型ソース層13と n 型第1オフセット層14によって挟まれる p 型ボディ層12表面とこの表面に隣接する n 型第1オフセット層14表面の一部には、ゲート絶縁膜17およびフィールド酸化膜18を介してゲート電極19が形成されている。

【0021】また、 n 型ソース層13及び p 型ボディ層12には、これら両層にコンタクトするソース電極20が形成されている。 n 型ドレイン層16上には、ドレイン電極21が形成されている。

【0022】ここで、素子のチャネルでのキャリアの移動度を μ [$\text{cm}^2/\text{V} \cdot \text{s}$]、ゲート絶縁膜17の誘電率を ϵ [F/cm]、ゲート絶縁膜17の膜厚を d [cm]、チャネル長を L [cm]、スレショルド電圧を V_T [V]、定格ゲート電圧を V_G [V]としたとき、チャネル幅 1 cm 当りのドレイン電流 I_D は、次の(1)式で規定される。

時、素子に通るドレイン電流により、 n 型第1オフセット層14の電荷が打消されるものの、 n 型第1オフセット層14よりも高ドーズ量の n 型第2オフセット層15がリサーフとして作用し、図2に示すように、高耐圧を実現する。また、前述したように、ゲートのオン状態/オフ状態の両方で高耐圧を実現しているが、同時に低いオン抵抗を得ている。すなわち、低いオン抵抗を得られつつ、ゲート電圧 $0 \text{ V} \sim 5 \text{ V}$ の範囲にわたって高い耐圧を実現させることができる。

【0025】図3はゲートオン時($V_G = 5 \text{ V}$)の耐圧と n 型第2オフセット層15のドーズ量 n_2 との関係を示す図である。なお、このときの n 型第1オフセット層14のドーズ量 n_1 は 3×10^{12} [cm^{-2}]である。図3に示すように、 n_2 が $6 \times 10^{12} \sim 1.2 \times 10^{13}$ [cm^{-2}]の範囲内にあるとき、耐圧が大きく向上されていることが分かる。

【0026】また、これにより、 n_2 は、 $2n_1 \leq n_2 \leq 4n_1$ の範囲内にあることが好ましいことが分かる。その理由は、 n_2 が $2n_1$ より小さい場合 ($n_2 < 2n_1$)、ドレイン電流によって電荷が打ち消されてしまうからである。また、 n_2 が $4n_1$ より大きい場合 ($4n_1 < n_2$)、 n 型第2オフセット層15が完全には空乏化せず、リサーフとして作用しないため、耐圧の向上に寄与しないからである。

【0027】またこの n_2 と n_1 との関係において、 n 型第1オフセット層14のドーズ量 n_1 は $1.5 \sim 4 \times 10^{12} [\text{cm}^{-2}]$ の範囲内にあり、且つ n 型第2オフセット層15のドーズ量 n_2 は $3 \times 10^{12} \sim 1.6 \times 10^{13} [\text{cm}^{-2}]$ の範囲内にあることが、低いオン抵抗を得られつつ、ゲートのオンオフに関わらずに高い耐圧を実現させる素子動作上、好ましいという結果が得られている。

【0028】上述したように本実施形態によれば、ゲートオフの時、従来同様に、 n 型第1オフセット層14がリサーフとして作用して高耐圧を実現し、また、ゲートオンの時、低いオン抵抗によって素子を流れるドレイン電流 I_D により、 n 型第1オフセット層14の電荷が打消されるものの、 n 型第1オフセット層14のドーズ量 n_1 よりも高ドーズ量 n_2 の n 型第2オフセット層15がリサーフとして作用するので、低いオン抵抗を得られると共に、ゲートのオン状態/オフ状態の両方で高耐圧を実現させることができる。

【0029】また、ドーズ量の条件を $n_2 \geq I_D / (q \cdot v_{\text{drift}}) [\text{cm}^{-2}]$ を満足するように設定しているので、この効果を容易且つ確実に奏することができる。なお、この場合、使用したいドレイン電流 I_D の値によっても、ドーズ量の最適化を図ることができるので好ましい。

【0030】また、 n 型第1オフセット層14のドーズ量 n_1 を $1.5 \sim 4 \times 10^{12} [\text{cm}^{-2}]$ の範囲内とし、 n 型第2オフセット層15のドーズ量 n_2 を $3 \times 10^{12} \sim 1.6 \times 10^{13} [\text{cm}^{-2}]$ の範囲内としても、前述した効果をより一層、容易且つ確実に奏することができる。

【0031】さらに、このときの条件を $2n_1 \leq n_2 \leq 4n_1$ として実験的に求めたので、前述した効果を容易且つ確実に奏することができる。

(他の実施形態) なお、上記実施形態では、第1導電型を p 型とし、第2導電型を n 型とした場合について説明したが、これに限らず、第1導電型を n 型とし、第2導電型を p 型としても、本発明を同様に実施して同様の効果を得ることができる。その他、本発明はその要旨を逸脱しない範囲で種々変形して実施できる。

【0032】

【発明の効果】以上説明したように本発明によれば、低いオン抵抗を得られると共に、ゲートのオン状態/オフ状態の両方で高耐圧を実現できる高耐圧半導体装置を提供できる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係る高耐圧MOSFETの素子構造を示す断面図

【図2】同実施形態におけるドレイン電圧-ドレイン電流の特性曲線を示す図

【図3】同実施形態におけるゲートオン時の n 型第2オフセット層のドーズ量と素子耐圧との関係を示す図

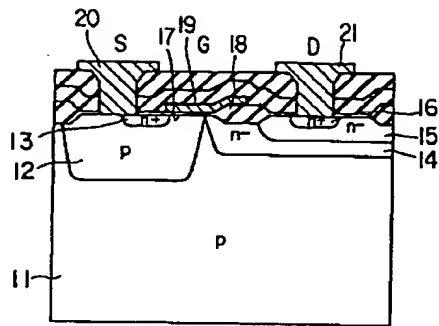
【図4】従来の高耐圧MOSFETの素子構造を示す断面図

【図5】従来の高耐圧MOSFETのドレイン電圧-ドレイン電流の特性曲線を示す図

【符号の説明】

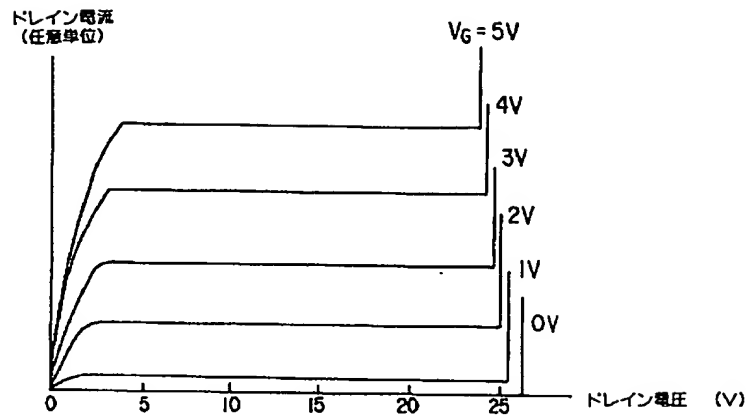
- 11... p 型半導体基板
- 12... p 型ボディ層
- 13... n 型ソース層
- 14... n 型第1オフセット層
- 15... n 型第2オフセット層
- 16... n 型ドレイン層
- 17...ゲート絶縁膜
- 18...フィールド酸化膜
- 19...ゲート電極
- 20...ソース電極
- 21...ドレイン電極

【図1】

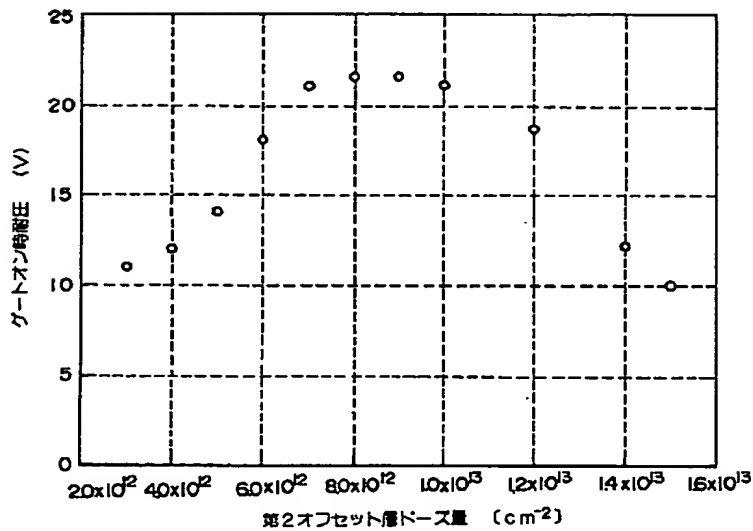


- | | |
|----------------|--------------|
| 11: p型半導体基板 | 17: ゲート絶縁膜 |
| 12: p型ボディ層 | 18: フィールド酸化膜 |
| 13: n型ソース層 | 19: ゲート電極 |
| 14: n型第1オフセット層 | 20: ソース電極 |
| 15: n型第2オフセット層 | 21: ドレイン電極 |
| 16: n型ドレイン層 | |

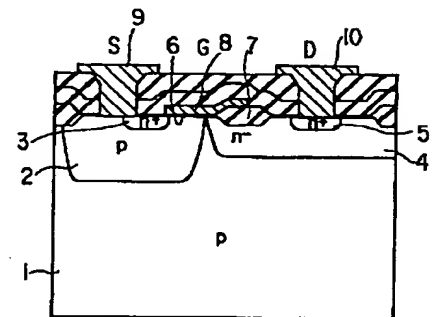
【図2】



【図3】

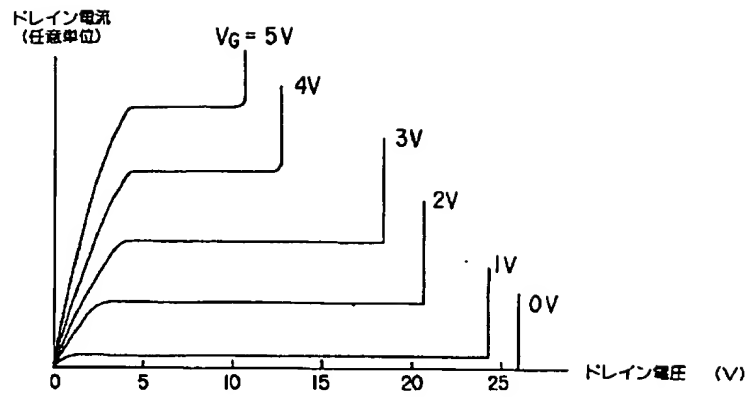


【図4】



- | | |
|-------------|-------------|
| 1: p型半導体基板 | 6: ゲート絶縁膜 |
| 2: p型ボディ層 | 7: フィールド酸化膜 |
| 3: n型ソース層 | 8: ゲート電極 |
| 4: n型オフセット層 | 9: ソース電極 |
| 5: n型ドレイン層 | 10: ドレイン電極 |

【図 5】



【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第2区分
 【発行日】平成13年4月13日(2001.4.13)

【公開番号】特開平11-121742
 【公開日】平成11年4月30日(1999.4.30)
 【年通号数】公開特許公報11-1218
 【出願番号】特願平9-282047
 【国際特許分類第7版】

H01L 29/78

【F1】

H01L 29/78 301 S

301 W

【手続補正書】

【提出日】平成12年3月3日(2000.3.3)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】半導体基板と、

前記半導体基板の表面に選択的に形成された第1導電型ボディ層と、

前記第1導電型ボディ層の表面に選択的に形成された第2導電型ソース層と、

前記半導体基板の表面の前記第1導電型ボディ層とは異なる領域に選択的に形成された第2導電型第1オフセット層と、

前記第2導電型第1オフセット層の表面に選択的に形成された第2導電型第2オフセット層と、

前記第2導電型第2オフセット層の表面に選択的に形成され、前記第2導電型第2オフセット層よりも高いキャリア密度をもつ第2導電型ドレイン層と、

$$I_D = (\mu \cdot \epsilon) \cdot (V_G / 2 - V_T) / (4 \cdot L \cdot d) [A/cm] \dots (1)$$

$$n_2 \geq I_D / (q \cdot v_{drift}) [cm^{-2}] \dots (2)$$

【請求項2】半導体基板と、

前記半導体基板の表面に選択的に形成された第1導電型ボディ層と、

前記第1導電型ボディ層の表面に選択的に形成された第2導電型ソース層と、

前記半導体基板の表面の前記第1導電型ボディ層とは異なる領域に選択的に形成された第2導電型第1オフセット層と、

前記第2導電型第1オフセット層の表面に選択的に形成された第2導電型第2オフセット層と、

前記第2導電型第2オフセット層の表面に選択的に形成され、前記第2導電型第2オフセット層よりも高いキャリア密度をもつ第2導電型ドレイン層と、

前記第2導電型ソース層と前記第2導電型第1オフセッ

リア密度をもつ第2導電型ドレイン層と、

前記第2導電型ソース層と前記第2導電型第1オフセット層とに挟まれた領域上にゲート絶縁膜を介して形成されたゲート電極と、

前記第1導電型ボディ層表面と前記第2導電型ソース層表面の両者に接して形成されたソース電極と、

前記第2導電型ドレイン層表面に形成されたドレイン電極とを備えた高耐圧半導体装置であって、

素子のチャネルでのキャリアの移動度を $\mu [cm^2/V \cdot s]$ 、前記ゲート絶縁膜の誘電率を $\epsilon [F/cm]$ 、

前記ゲート絶縁膜の膜厚を $d [cm]$ 、チャネル長を $L [cm]$ 、スレショルド電圧を $V_T [V]$ 、定格ゲート電圧を $V_G [V]$ としたとき、下記(1)式で規定されるチャネル幅1cm当りのドレイン電流 I_D に対し、

電子の電荷量を $q [C]$ とし、キャリアのドリフト速度を $v_{drift} [cm/sec]$ としたとき、

前記第2導電型第2オフセット層のドーズ量 n_2 は下記

(2)式を満足することを特徴とする高耐圧半導体装置。

ト層とに挟まれた領域上にゲート絶縁膜を介して形成されたゲート電極と、

前記第1導電型ボディ層表面と前記第2導電型ソース層表面の両者に接して形成されたソース電極と、

前記第2導電型ドレイン層表面に形成されたドレイン電極とを備えた高耐圧半導体装置であって、

前記第2導電型第1オフセット層のドーズ量を $n_1 [cm^{-2}]$ としたとき、前記第2導電型第2オフセット層のドーズ量 n_2 は下記式を満足することを特徴とする高耐

圧半導体装置。

$$2n_1 \leq n_2 \leq 4n_1$$

【請求項3】半導体基板と、

前記半導体基板の表面に選択的に形成された第1導電型ボディ層と、

前記第 1 導電型ボディ層の表面に選択的に形成された第 2 導電型ソース層と、

前記半導体基板の表面の前記第 1 導電型ボディ層とは異なる領域に選択的に形成された第 2 導電型第 1 オフセット層と、

前記第 2 導電型第 1 オフセット層の表面に選択的に形成された第 2 導電型第 2 オフセット層と、

前記第 2 導電型第 2 オフセット層の表面に選択的に形成され、前記第 2 導電型第 2 オフセット層よりも高いキャリア密度をもつ第 2 導電型ドレイン層と、

前記第 2 導電型ソース層と前記第 2 導電型第 1 オフセット層とに挟まれた領域上にゲート絶縁膜を介して形成されたゲート電極と、

前記第 1 導電型ボディ層表面と前記第 2 導電型ソース層表面の両者に接して形成されたソース電極と、

前記第 2 導電型ドレイン層表面に形成されたドレイン電極とを備えた高耐圧半導体装置であって、

前記第 2 導電型第 1 オフセット層のドーズ量は $1.5 \sim 4 \times 10^{12} [\text{cm}^{-2}]$ の範囲内にあり、前記第 2 導電型第 2 オフセット層のドーズ量は $3 \times 10^{12} \sim 1.6 \times 10^{13} [\text{cm}^{-2}]$ の範囲内にあることを特徴とする高耐圧半導体装置。

【請求項 4】 半導体基板と、

前記半導体基板の表面に選択的に形成された第 1 導電型ボディ層と、

前記第 1 導電型ボディ層の表面に選択的に形成された第 2 導電型ソース層と、

$$I_D = (\mu \cdot \epsilon) \cdot (V_G / 2 - V_T) / (4 \cdot L \cdot d) \cdot [A/cm] \cdots (1)$$

$$n_2 \geq I_D / (q \cdot v_{\text{drift}}) [\text{cm}^{-2}] \cdots (2)$$

【請求項 5】 半導体基板と、

前記半導体基板の表面に選択的に形成された第 1 導電型ボディ層と、

前記第 1 導電型ボディ層の表面に選択的に形成された第 2 導電型ソース層と、

前記半導体基板の表面の前記第 1 導電型ボディ層とは異なる領域に選択的に形成された第 2 導電型ドレイン層と、

前記第 1 導電型ボディ層と前記第 2 導電型ドレイン層との間で第 1 導電型ボディ層側の領域に形成された第 2 導電型第 1 オフセット層と、

前記第 1 導電型ボディ層と前記第 2 導電型ドレイン層との間で第 2 導電型ドレイン層側の領域に形成された第 2 導電型第 2 オフセット層と、

前記第 2 導電型ソース層と前記第 2 導電型第 1 オフセット層とに挟まれた領域上にゲート絶縁膜を介して形成されたゲート電極と、

前記第 1 導電型ボディ層表面と前記第 2 導電型ソース層表面の両者に接して形成されたソース電極と、

前記第 2 導電型ドレイン層表面に形成されたドレイン電極とを備えた高耐圧半導体装置であって、

前記半導体基板の表面の前記第 1 導電型ボディ層とは異なる領域に選択的に形成された第 2 導電型ドレイン層と、

前記第 1 導電型ボディ層と前記第 2 導電型ドレイン層との間で第 1 導電型ボディ層側の領域に形成された第 2 導電型第 1 オフセット層と、

前記第 1 導電型ボディ層と前記第 2 導電型ドレイン層との間で第 2 導電型ドレイン層側の領域に形成された第 2 導電型第 2 オフセット層と、

前記第 2 導電型ソース層と前記第 2 導電型第 1 オフセット層とに挟まれた領域上にゲート絶縁膜を介して形成されたゲート電極と、

前記第 1 導電型ボディ層表面と前記第 2 導電型ソース層表面の両者に接して形成されたソース電極と、

前記第 2 導電型ドレイン層表面に形成されたドレイン電極とを備えた高耐圧半導体装置であって、

素子のチャネルでのキャリアの移動度を $\mu [\text{cm}^2/V \cdot \text{s}]$ 、前記ゲート絶縁膜の誘電率を $\epsilon [\text{F/cm}]$ 、前記ゲート絶縁膜の膜厚を $d [\text{cm}]$ 、チャネル長を $L [\text{cm}]$ 、スレショルド電圧を $V_T [V]$ 、定格ゲート電圧を $V_G [V]$ としたとき、下記 (1) 式で規定されるチャネル幅 1 cm 当りのドレイン電流 I_D に対し、電子の電荷量を $q [C]$ とし、キャリアのドリフト速度を $v_{\text{drift}} [\text{cm/sec}]$ としたとき、前記第 2 導電型第 2 オフセット層のドーズ量 n_2 は下記 (2) 式を満足することを特徴とする高耐圧半導体装置。

前記第 2 導電型第 1 オフセット層のドーズ量を $n_1 [\text{cm}^{-2}]$ としたとき、前記第 2 導電型第 2 オフセット層のドーズ量 n_2 は下記式を満足することを特徴とする高耐圧半導体装置。

$$2 n_1 \leq n_2 \leq 4 n_1$$

【請求項 6】 半導体基板と、

前記半導体基板の表面に選択的に形成された第 1 導電型ボディ層と、

前記第 1 導電型ボディ層の表面に選択的に形成された第 2 導電型ソース層と、

前記半導体基板の表面の前記第 1 導電型ボディ層とは異なる領域に選択的に形成された第 2 導電型ドレイン層と、

前記第 1 導電型ボディ層と前記第 2 導電型ドレイン層との間で第 1 導電型ボディ層側の領域に形成された第 2 導電型第 1 オフセット層と、

前記第 1 導電型ボディ層と前記第 2 導電型ドレイン層との間で第 2 導電型ドレイン層側の領域に形成された第 2 導電型第 2 オフセット層と、

前記第 2 導電型ソース層と前記第 2 導電型第 1 オフセット層とに挟まれた領域上にゲート絶縁膜を介して形成さ

れたゲート電極と、

前記第1導電型ボディ層表面と前記第2導電型ソース層表面の両者に接して形成されたソース電極と、

前記第2導電型ドレイン層表面に形成されたドレイン電極とを備えた高耐圧半導体装置であって、

前記第2導電型第1オフセット層のドーズ量は $1.5 \sim 4 \times 10^{12} [\text{cm}^{-2}]$ の範囲内にあり、前記第2導電型第2オフセット層のドーズ量は $3 \times 10^{12} \sim 1.6 \times 10^{13} [\text{cm}^{-2}]$ の範囲内にあることを特徴とする高耐圧半導体装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】さて以上のような本発明の骨子に基づいて具体的には以下のような手段が講じられる。本発明は、半導体基板と、前記半導体基板の表面に選択的に形成された第1導電型ボディ層と、前記第1導電型ボディ層の表面に選択的に形成された第2導電型ソース層と、前記半導体基板の表面の前記第1導電型ボディ層とは異なる領域に選択的に形成された第2導電型第1オフセット層と、前記第2導電型第1オフセット層の表面に選択的に形成された第2導電型第2オフセット層と、前記第2導電型第2オフセット層の表面に選択的に形成され、前記

$$I_D = (\mu \cdot \varepsilon) \cdot (V_G/2 - V_T) / (4 \cdot L \cdot d) [A/cm] \dots (1)$$

$$n_2 \geq I_D / (q \cdot v_{drift}) [cm^{-2}] \dots (2)$$

また、請求項2、5に対応する発明は、前記第2導電型第1オフセット層のドーズ量を $n_1 [cm^{-2}]$ としたとき、前記第2導電型第2オフセット層のドーズ量 n_2 は下記式を満足する高耐圧半導体装置である。

$$2n_1 \leq n_2 \leq 4n_1$$

さらに、請求項3、6に対応する発明は、前記第2導電型第1オフセット層のドーズ量が $1.5 \sim 4 \times 10^{12} [cm^{-2}]$ の範囲内にあり、前記第2導電型第2オフセット層のドーズ量が $3 \times 10^{12} \sim 1.6 \times 10^{13} [cm^{-2}]$ の範囲内にある高耐圧半導体装置である。

（作用）従って、請求項1、4に対応する発明は以上のような手段を講じたことにより、ゲートオフの時、従来同様に、第2導電型第1オフセット層がリサーフとして作用して高耐圧を実現し、また、ゲートオンの時、低いオン抵抗によって素子を通るドレイン電流により、第2導電型第1オフセット層の電荷が打消されるものの、第2導電型第1オフセット層のドーズ量 n_1 よりも高ドーズ量 n_2 の第2導電型第2オフセット層がリサーフとして作用するので、低いオン抵抗を得られると共に、ゲートのオン状態/オフ状態の両方で高耐圧を実現させることができる。

【手続補正4】

第2導電型第2オフセット層よりも高いキャリア密度をもつ第2導電型ドレイン層と、前記第2導電型ソース層と前記第2導電型第1オフセット層とに挟まれた領域上にゲート絶縁膜を介して形成されたゲート電極と、前記第1導電型ボディ層表面と前記第2導電型ソース層表面の両者に接して形成されたソース電極と、前記第2導電型ドレイン層表面に形成されたドレイン電極とを備えた構造の高耐圧半導体装置に関する。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正内容】

【0015】係る構造において、請求項1、4に対応する発明は、素子のチャネルでのキャリアの移動度を $\mu [cm^2/V \cdot s]$ 、前記ゲート絶縁膜の誘電率を $\varepsilon [F/cm]$ 、前記ゲート絶縁膜の膜厚を $d [cm]$ 、チャネル長を $L [cm]$ 、スレショルド電圧を $V_T [V]$ 、定格ゲート電圧を $V_G [V]$ としたとき、下記(1)式で規定されるチャネル幅1cm当りのドレイン電流 I_D に対し、電子の電荷量を $q [C]$ とし、キャリアのドリフト速度を $v_{drift} [cm/sec]$ としたとき、前記第2導電型第2オフセット層のドーズ量 n_2 は下記(2)式を満足する高耐圧半導体装置である。

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正内容】

【0016】また、このときの条件を $n_2 \geq I_D / (q \cdot v_{drift}) [cm^{-2}]$ として規定しているので、この作用を容易且つ確実に奏することができる。また、請求項2、5に対応する発明は、請求項1、4に対応する作用と同様の高耐圧を奏する作用に加え、このときの条件を $2n_1 \leq n_2 \leq 4n_1$ として規定しているので、前述した作用を容易且つ確実に奏することができる。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正内容】

【0017】さらに、請求項3、6に対応する発明は、請求項1、4に対応する作用と同様の高耐圧を奏する作用に加え、第2導電型第1オフセット層のドーズ量と、第2導電型第2オフセット層のドーズ量とを具体的な数値で規定しているので、前述した作用をより一層、容易且つ確実に奏することができる。